



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0082708  
Application Number

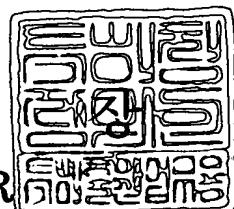
출 원 년 월 일 : 2002년 12월 23일  
Date of Application DEC 23, 2002

출 원 인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 02 월 08 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002.12.23
【국제특허분류】	G02F 1/133
【발명의 명칭】	특성이 향상된 박막트랜ジ스터를 구비한 액정표시소자
【발명의 영문명칭】	A LIQUID CRYSTAL DISPLAY DEVICE INCLUDING THIN FILM TRANSISTOR HAVING IMPROVED CHARACTERISTICS
【출원인】	
【명칭】	엘지 필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-055150-5
【발명자】	
【성명의 국문표기】	장상민
【성명의 영문표기】	JANG, Sang Min
【주민등록번호】	710203-1673816
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 초원부영아파트 704동 808호
【국적】	KR
【발명자】	
【성명의 국문표기】	최수석
【성명의 영문표기】	CHOI, Su Seok
【주민등록번호】	740603-1237510
【우편번호】	465-210
【주소】	경기도 하남시 초일동 224-5
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 원 (인) 박장

1020020082708

출력 일자: 2003/2/10

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	1	면	1,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】			30,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명의 액정표시소자는 전기이동도가 향상된 박막트랜지스터가 적용된다. 기판 상에는 요철층 또는 홈이 형성되어 박막트랜지스터의 반도체층에 요철을 부여하며, 상기 요철에 의해 반도체층의 표면적이 증가한다. 따라서, 게이트전극에 신호가 인가될 때 상기 반도체층에 형성되는 채널의 폭이 증가하게 되어, 결국 전기이동도가 향상된다. 향상된 전기이동도 만큼 박막트랜지스터의 면적을 감소시킬 수 있으므로 액정표시소자의 개구율이 향상된다.

**【대표도】**

도 5b

**【색인어】**

박막트랜지스터, 전기이동도, 개구율, 요철층, 홈, 채널

## 【명세서】

## 【발명의 명칭】

특성이 향상된 박막트랜지스터를 구비한 액정표시소자{A LIQUID CRYSTAL DISPLAY DEVICE INCLUDING THIN FILM TRANSISTOR HAVING IMPROVED CHARACTERISTICS}

## 【도면의 간단한 설명】

도 1은 종래 액정표시소자의 평면도.

도 2는 도1의 I-I'선 단면도.

도 3은 도 1에 도시된 박막트랜지스터의 확대 평면도.

도 4는 본 발명의 일실시예에 따른 액정표시소자의 평면도.

도 5a는 도 4에 도시된 박막트랜지스터의 확대 평면도.

도 5b는 도 5a의 II-II'선 단면도.

도 6은 본 발명의 다른 실시예에 따른 액정표시소자에 포함되는 박막트랜지스터 구조를 나타내는 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

112,212 : 게이트전극

114,214 : 반도체층

116,216 : 소스전극

117,217 : 드레인전극

120,220 : 기판

122,222 : 게이트절연층

126 : 요철층

127 : 컨택홀

128 : 화소전극

226 : 홈

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 액정표시소자에 관한 것으로, 특히 반도체층에 요철을 형성하여 채널(channel)의 폭을 증가시킴으로써 박막트랜지스터의 전기적 특성이 향상되고 개구율이 향상된 액정표시소자에 관한 것이다.

<15> 표시소자들, 특히 액정표시소자(Liquid Crystal Display Device)와 같은 평판표시장치(Flat Panel Display)에서는 각각의 화소에 박막트랜지스터와 같은 능동소자가 구비되어 표시소자를 구동하는데, 이러한 방식의 표시소자의 구동방식을 흔히 액티브 매트릭스(Active Matrix) 구동방식이라 한다. 이러한 액티브 매트릭스방식에서는 상기한 능동소자가 매트릭스형식으로 배열된 각각의 화소에 배치되어 해당 화소를 구동하게 된다.

<16> 도 1은 액티브 매트릭스방식의 액정표시소자(1)를 나타내는 도면이다. 도면에 도시된 구조의 액정표시소자는 능동소자로서 박막트랜지스터(Thin Film Transistor)를 사용하는 액정표시소자이다. 도면에 도시된 바와 같이, 종횡으로 N개의 화소가 배치된 액정표시소자(1)의 각 화소에는 외부의 구동회로로부터 주사신호가 인가되는 게이트라인(3)과 화상신호가 인가되는 데이터라인(5)의 교차영역에 형성된 박막트랜지스터(10)를 포함하고 있다. 박막트랜지스터(10)는 상기 게이트라인(3)과 연결된 게이트전극(12)과, 상기 게이트전극(12) 위에 형성되어 게이트전극(12)에 주사신호가 인가됨에 따라 활성화되는 반도체층(14)과, 상기 반도체층(14) 위에 형성된 소스전극(16) 및 드레인전극(17)으로 구성된다. 화소의 표시영역에는 상기 소스전극(16) 및 드레인전극(18)과 연결되어

반도체층(14)이 활성화됨에 따라 상기 소스전극(16) 및 드레인전극(17)을 통해 화상신호가 인가되어 액정(도면표시하지 않음)을 동작시키는 화소전극(28)이 형성되어 있다.

<17> 도 2는 도 1의 I-I'선 단면도이다. 도면에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 제1기판(20) 위에는 박막트랜지스터의 게이트전극(12)이 형성되어 있으며, 제1기판(20) 전체에 걸쳐 게이트절연층(22)이 적층되어 있다. 게이트절연층(22) 위에는 반도체층(14)이 형성되어 있으며, 그 위에 소스전극(16) 및 드레인전극(17)이 형성되어 박막트랜지스터가 형성된다. 또한, 상기 게이트절연층(22) 위에는 데이터라인(5)이 형성되어 있다.

<18> 상기와 같이, 박막트랜지스터가 형성된 제1기판(20) 전체에 걸쳐 보호층(24)이 적층되어 있으며, 그 위에 ITO(Indium Tin Oxide)와 같은 투명전극으로 이루어진 화소전극(28)이 형성되어 있다. 도면에 도시된 바와 같이, 상기 보호층(24)에는 컨택홀(contact hole;27)이 형성되어 박막트랜지스터의 드레인전극(17)과 화소전극(28)이 전기적으로 접속된다.

<19> 제2기판(30)에는 블랙매트릭스(32)와 컬러필터층(34)이 형성되어 있다. 상기 블랙매트릭스(32)는 액정분자가 동작하지 않는 영역(화상 비표시영역)으로 광이 누설되는 것을 방지하기 위한 것으로, 도면에 도시한 바와 같이 박막트랜지스터 영역과 화소와 화소 사이(즉, 게이트라인 및 데이터라인 영역)에 주로 형성된다. 컬러필터층(34)은 R(Red), B(Blue), G(Green)로 구성되어 실제 컬러를 구현하기 위한 것이다.

<20> 상기 제1기판(20) 및 제2기판(30) 사이에 액정층(40)이 형성되어 액정패널(1)이 완성된다.

<21> 박막트랜지스터는 전기적 특성이 안정되어 있고 온, 오프 제어가 용이하며 스위칭 속도가 빠르다는 장점 때문에, 액정표시소자의 능동소자로서 주로 사용된다. 한편, 근래 고해상도의 액정표시소자 등과 같은 고품질의 액정표시소자가 개발됨에 따라 전기이동도와 같은 전기적 특성이 더욱 향상된 박막트랜지스터가 능동소자로서 요구되고 있다.

<22> 일반적으로 박막트랜지스터의 전기이동도는 소스전극(16) 및 드레인전극(18) 사이의 반도체층(14)에 형성되는 채널에 길이(1)와 폭(w)의 비(w/1)에 의해 결정된다. 따라서, 박막트랜지스터(10)의 전기이동도를 조절하기 위해서는 채널의 길이와 폭을 조정해야만 한다.

<23> 도 3은 도 1에 도시된 박막트랜지스터(10)의 확대 평면도이다. 도면에 도시된 바와 같이, 게이트전극(12)에 신호가 인가되면, 반도체층(14)이 활성화되어 상기 소스전극(16)과 드레인전극(17) 사이의 반도체층(14)에 채널이 형성된다. 이때, 상기 채널의 길이는 소스전극(16)과 드레인전극(17) 사이의 간격에 해당하며 채널의 폭은 소스전극(16)과 드레인전극(17)에 맞닿는 반도체층(14)의 폭에 해당한다.

<24> 상기와 같은 구조의 박막트랜지스터(10)에서 원하는 크기의 전기이동도를 형성하기 위해서는 소스(16)과 드레인전극(17) 사이의 간격(1)을 감소하던지 소스전극(16) 및 드레인전극(17)과 맞닿는 반도체층(14)의 폭(w)을 증가시켜야만 한다. 그러나, 실질적으로 상기 소스전극(16)과 드레인전극(17) 사이의 간격을 설정 길이 이하로 감소시키는 것은 불가능하기 때문에 반도체층(14)의 폭(w)을 증가하여 전기이동도를 향상시켜야만 한다. 그러나, 상기 반도체층(14)의 폭(w)을 증가시키면, 박막트랜지스터(10)의 면적이 증가하게 되며, 따라서 블랙매트릭스(32)에 의해 차단되는 화상 비표시영역이 증가에 의해 액정표시소자의 개구율 저하되는 문제가 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<25> 본 발명은 상기한 문제를 해결하기 위한 것으로, 기판에 형성된 요철층이나 홈에 의해 반도체층에 요철을 제공하여 채널의 폭을 증가시킴으로써 전기이동도를 향상시킬 수 있는 박막트랜지스터를 제공하는 것을 목적으로 한다.

<26> 본 발명의 다른 목적은 상기 박막트랜지스터가 적용되어 동일한 전기이동도를 보유하면서도 박막트랜지스터의 면적을 감소시킴으로서 개구율이 향상된 액정표시소자를 제공하는 것이다.

<27> 상기한 목적을 달성하기 위해, 본 발명에 따른 박막트랜지스터는 기판과, 상기 기판위에 형성된 게이트전극 및 게이트절연층과, 상기 게이트절연층에 형성되어 채널을 형성하여 요철이 형성된 반도체층과, 상기 반도체층 위에 형성된 소스전극 및 드레인전극으로 구성된다.

<28> 반도체층의 요철은 기판에 형성되어 소스전극과 드레인전극을 걸쳐 배열되는 적어도 하나의 요철층 또는 적어도 하나의 홈에 의해 형성된다. 상기 요철에 의해 반도체층의 표면적이 증가하게 되고, 따라서 반도체층에 형성되는 채널이 폭이 증가한다. 박막트랜지스터의 전기이동도는 채널의 폭에 비례하고 길이에 반비례하므로, 상기와 같은 채널 폭 증가에 의해 박막트랜지스터의 전기이동도가 향상된다.

<29> 또한, 본 발명에 따른 액정표시소자는 상기 박막트랜지스터가 적용된 것으로, 제1 기판 위에 배열되어 복수의 화소를 정의하는 복수의 데이터라인 및 게이트라인과, 상기 화소에 형성되며, 상기 제1기판위에 형성된 게이트전극 및 게이트절연층, 상기 게이트절연층에 형성되어 채널을 형성하여 요철이 형성된 반도체층과, 상기 반도체층 위에 형성

된 소스전극 및 드레인전극과, 상기 제1기판 전체에 걸쳐 적층된 보호층으로 이루어진 박막트랜지스터와, 상기 화소에 형성된 화소전극으로 구성된다.

<30> 박막트랜지스터의 면적을 작게 하여도 설정된 전기이동도를 얻을 수 있으므로, 결국 액정표시소자의 개구율을 향상시킬 수 있게 된다.

### 【발명의 구성 및 작용】

<31> 본 발명에서는 전기이동도가 향상된 박막트랜지스터가 구비된 액정표시소자를 제공한다. 특히, 본 발명에서는 박막트랜지스터의 면적을 증가시키지 않고도 전기이동도가 향상된 박막트랜지스터를 형성하므로 액정표시소자의 개구율이 저하되는 것을 방지할 수 있게 된다.

<32> 반도체층에 형성되는 채널은 실질적으로 반도체층의 표면을 따라 형성된다. 따라서 반도체층에 형성되는 채널의 폭은 반도체층의 표면적이 증가하면 그에 비례하여 증가 할 것이다. 본 발명에서는 이러한 점을 반도체층의 면적 증가, 즉 박막트랜지터의 크기 를 증가시키지 않고도 전기이동도가 향상된 박막트랜지스터를 제조한다.

<33> 이를 위해, 본 발명에서는 반도체층에 요철을 형성하여 소스전극 및 드레인전극과 맞닿는 반도체층의 표면적을 증가시킨다. 이와 같이, 반도체층의 표면적 증가에 의해 채널의 폭이 증가하게 되어 전기이동도가 향상되는 것이다.

<34> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시소자에 대하여 상세히 설명 한다.

<35> 도 4는 본 발명의 일실시예에 따른 액정표시소자의 구조를 나타내는 평면도이다. 도면에 도시된 바와 같이, 종횡으로 배열된 게이트라인(103)과 데이터라인(105)에 의해

정의되는 화소에는 박막트랜지스터(110)가 형성되어 있다. 상기 박막트랜지스터(110)는 게이트전극(112)과, 상기 게이트전극(112) 위에 형성되어 게이트전극(112)에 주사신호가 인가됨에 따라 활성화되는 반도체층(114)과, 상기 반도체층(114) 위에 형성된 소스전극(116) 및 드레인전극(117)으로 구성된다. 상기 화소에는 소스전극(116) 및 드레인전극(118)과 연결되어 상기 반도체층(114)이 활성화됨에 따라 신호가 인가되는 화소전극(128)이 형성되어 있다.

<36> 상기 반도체층(114)의 하부에는 적어도 하나의 요철층(126)이 형성되어 있다. 도 5a에 도시된 바와 같이, 상기 요철층(126a, 126b)은 소스전극(116) 및 드레인전극(117)에 걸쳐 배열된다. 즉, 상기 요철층(126a, 126b)은 게이트전극(112)에 신호가 인가될 때 소스전극(116)과 드레인전극(117) 사이에 형성되는 채널을 따라 형성된다. 상기 요철층(126a, 126b)에 의해 반도체층(114)의 표면적이 증가하게 되며, 그 결과 채널의 폭(w)이 증가하게 된다.

<37> 한편, 소스전극(116)과 드레인전극(117) 사이의 채널 길이(l)는 고정되어 있기 때문에, 상기 채널 폭(w) 증가에 의해 박막트랜지스터(110)의 전기이동도가 향상되는 것이다.

<38> 도 5b는 도 5a의 II-II'선 단면도로서, 이때의 도면은 드레인전극(117)측의 구조를 나타내지만 소스전극(116)측의 구조 역시 드레인전극(117)측과 동일하므로, 소스전극(116)측의 단면은 생략하였다.

<39> 도면에 도시된 바와 같이, 유리와 같은 투명한 물질로 이루어진 제1기판(120)에는 적어도 하나의 요철층(126a, 126b)이 형성되어 있다. 상기 요철층(126a, 126b)은 절연물질이나 금속을 적층한 후 식각함으로써 형성된다. 상기 요철층(126a, 126b) 위에는 게이트

전극(112)이 형성된다. 상기 게이트전극(112)은 Al이나 Al합금 또는 Cu와 같은 금속을 증착(evaporation) 또는 스퍼터링(sputtering)방법에 의해 적층하고 식각액으로 식각한 단일 층 또는 복수의 층으로 이루어진다.

<40> 상기 요철층(126a, 126b)에 의해 그 위의 게이트전극(112)에도 요철이 형성된다. 따라서, 상기 게이트전극(112)의 표면적이 종래 액정표시소자의 게이트전극에 비해 넓어지게 된다.

<41> 상기 게이트전극(112) 위에는 게이트절연층(122)이 적층되며, 그 위에 반도체층(114)이 형성된다. 상기 반도체층(114)은 비정질실리콘과 같은 반도체물질을 CVD(Chemical Vapor Deposition)법에 의해 적층한 후 식각하여 형성되는 것으로, 신호가 인가됨에 따라 채널이 형성된다. 제1기판(120)에 형성된 요철층(126a, 126b)에 의해 게이트전극(112)에도 요철이 형성되므로, 상기 게이트전극(112)위에 형성되는 게이트절연층(122)과 반도체층(114)에도 요철이 형성된다. 즉, 게이트절연층(122)과 반도체층(114)의 표면적이 증가하게 된다.

<42> 상기 반도체층(114) 위에는 드레인전극(117)(또는 소스전극)이 형성된다. 상기 드레인전극(117)은 Cr, Mo, Al, Al합금 또는 Cu와 같은 금속을 증착 또는 스퍼터링방법에 의해 적층하고 식각액으로 식각한 단일 층 또는 복수의 층으로 이루어진다. 반도체층(114)에 형성된 요철에 의해 상기 드레인전극(117)에도 요철이 형성되며, 따라서 상기 드레인전극(117)의 표면적, 특히 반도체층(114)과 맞닿는 표면적의 면적이 넓어지게 된다.

<43> 상기한 바와 같이, 본 발명에 따른 액정표시소자에서는 제1기판(120)에 형성된 적어도 하나의 요철층(126a, 126b)에 의해 그 위에 적층되는 층(게이트전극, 게이트절연층,

반도체층, 소스전극 및 드레인전극)에 요철이 형성되어, 각 층들의 표면적이 넓어지게 된다. 따라서, 게이트전극(112)으로 인가되는 신호에 의해 반도체층(114)이 활성화되어 표면을 따라 채널이 형성될 때, 반도체층(114)의 표면적이 증가했으므로, 상기 채널의 폭(w)은 반도체층(114)의 요철을 감안하지 않은 폭(w1)(이 폭은 종래 액정표시소자에서의 폭과 동일하다)과 요철에 의해 증가된 표면적에 기인하는 폭(w2)의 합이 된다. 즉, 종래 액정표시소자에 비해 채널의 폭(w)이 w2만큼 증가하는 것이다.

<44> 한편, 도면에는 도시하지 않았지만, 상기 제1기판(120)과 대향하는 제2기판에는 블랙매트릭스와 컬러필터층이 형성되어 있으며, 상기 제1기판(120)과 제2기판 사이에 액정층이 형성되어 액정표시소자가 완성된다. 상기 액정층의 형성은 진공상태에서 합착된 제1기판(120)과 제2기판 사이에 액정을 주입하는 진공액정주입법에 의해 형성될 수도 있으며 근래 각광받고 있는 액정적하방식(liquid crystal dispensing method), 즉 제1기판(120) 또는 제2기판 상에 직접 액정을 적하한 후 상기 제1기판(120) 및 제2기판의 합착에 의해 액정을 기판 전체에 걸쳐서 균일하게 퍼지게 하는 방식에 의해 형성될 수도 있다.

<45> 상기와 같이, 본 발명의 액정표시소자에서는 게이트전극(112)이 요철층(126a, 126b) 위에 형성되어 있으므로, 상기 게이트전극(112)에도 역시 요철이 형성되며, 그 위의 반도체층(114)에 요철이 형성된다. 즉, 반도체층(114)의 표면적이 증가하는 것이다. 결국, 상기 요철층(126a, 126b)에 의해 그 위에 형성되는 반도체층(114)의 표면적이 증가하게 되며, 이것은 곧 게이트전극(112)에 신호가 인가되었을 때 반도체층(114)에 형성되는 채널의 폭이 증가한다는 것을 의미한다.

<46> 박막트랜지스터의 전기이동도는 채널의 폭과는 비례하고 채널의 길이와는 반비례하므로, 상기와 같이 요철에 의해 채널의 폭이 증가함에 따라 박막트랜지스터의 전기이동도가 향상된다. 따라서, 특성이 향상된 박막트랜지스터를 제작할 수 있게 되어, 액정표시소자의 품질을 향상시킬 수 있게 된다.

<47> 또한, 상기와 같은 전기이동도의 향상에 의해 액정표시소자의 개구율을 향상시킬 수 있게 된다. 박막트랜지스터의 전기이동도는 채널의 폭과 비례하므로, 좋은 전기이동도를 갖는 박막트랜지스터를 액정표시소자에 적용시키기 위해서는 채널이 설정 폭 이상으로 제작되어야만 했는데, 이것은 박막트랜지스터의 면적이 설정 값 이상으로 된다는 것을 의미한다. 그런데, 본 발명에서는 박막트랜지스터의 면적은 종래와 동일하지만 전기이동도는 요철총(126a, 126b)에 의해 향상된다. 다시 말해서, 박막트랜지스터의 면적을 요철에 의한 채널 폭의 증加分 만큼 감소시켜도 종래와 동일한 특성을 갖는 박막트랜지스터를 제작할 수 있게 된다. 따라서, 박막트랜지스터의 면적 감소분(정확하게는 채널폭의 증加分 또는 요철총(126a, 126b)에 의한 증加分) 만큼 액정표시소자의 개구율을 향상시킬 수 있게 되는 것이다.

<48> 상기한 실시예의 액정표시소자에서는 제1기판(120) 형성된 요철총(126a, 126b)이 소스전극(116)과 드레인전극(117)에 걸쳐 2개 형성되어 있지만, 상기 요철총이 상기한 구조로만 이루어지는 것은 아니다. 예를 들어, 요철총을 3개 이상으로 형성할 수도 있으며, 일정 크기를 갖는 격자구조로 형성할 수도 있을 것이다. 또한, 요철총을 기판에 형성하는 것이 아니라 게이트전극이나 게이트절연층에 형성할 수도 있을 것이다.

<49> 중요한 것은 요철총의 형상이 아니라 요철총에 의해 반도체층에 요철이 형성되어 그 표면적이 증가하며, 그 결과 채널의 폭이 증가한다는 것이다. 이러한 관점을 따르면,

본 발명의 특징은 제1기판에 형성되는 요철층이 아니라, 요철을 포함하는 게이트전극과, 반도체층, 소스전극 및 드레인전극의 구조를 특징으로 한다. 따라서, 제1기판에 형성된 요철층에 의해서만이 아니라, 다른 방법(예를 들면, 제1기판에 흄을 형성하는 방법 등)에 의해 게이트라인과 축적용량용 금속층에 요철을 형성할 수 있게 된다.

<50>        도 6은 본 발명의 다른 실시예에 따른 액정표시소자에 적용되는 박막트랜지스터를 나타내는 도면으로, 이 실시예에서는 요철층이 아니라 제1기판(220)에 흄을 형성하여 반도체층의 채널폭을 증가시킨다. 도면에 도시된 바와 같이, 제1기판(220)에는 적어도 하나의 흄(226a, 226b)이 형성되어 있으며, 상기 흄(226a, 226b) 내부에 게이트전극(212)이 형성되어 있다. 게이트전극(212)이 형성된 제1기판(220) 전체에 걸쳐 게이트절연층(222)이 형성되어 있으며, 그 위에 반도체층(214)과 드레인전극(217)이 형성되어 있다.

<51>        상기 한 바와 같이, 이 실시예에서는 제1기판(220)에 형성된 흄(226a, 226b)에 의해 그 위에 형성된 반도체층(214)에 요철이 형성된다. 따라서, 게이트전극(212)에 신호가 인가될 때, 반도체층(214)을 표면을 따라 형성되는 채널의 폭이 증가하게 되어, 박막트랜지스터의 전기이동도가 향상된다.

<52>        이 실시예에서는 상기 흄(226a, 226b)이 도 5에 도시된 요철층과 같이 소스전극 및 데이터전극에 걸쳐 2개 형성되지만, 상기 (226a, 226b)이 특정한 형태로만 형성되는 것은 아니다. 예를 들어, 상기 흄은 3개 이상 형성될 수도 있으며, 설정 크기로 격자형상으로 형성될 수도 있을 것이다.

**【발명의 효과】**

<53> 상술한 바와 같이, 본 발명의 액정표시소자에서는 박막트랜지스터의 반도체층에 요철이 형성되어 신호의 인가시 형성되는 채널의 폭이 증가하게 된다. 따라서, 박막트랜지스터의 면적 증가없이도 전기이동도가 향상되므로, 박막트랜지스터가 적용되는 액정표시소자의 개구율을 향상시킬 수 있게 된다.

**【특허청구범위】****【청구항 1】**

기판;

상기 기판위에 형성된 게이트전극 및 게이트절연층;

상기 게이트절연층에 형성되어 채널을 형성하여 요철이 형성된 반도체층; 및

상기 반도체층 위에 형성된 소스전극 및 드레인전극으로 구성된 박막트랜지스터.

**【청구항 2】**

제1항에 있어서, 상기 기판에 배치되어 반도체층에 요철을 제공하는 적어도 하나의 요철층을 추가로 포함하는 것을 특징으로 하는 박막트랜지스터.

**【청구항 3】**

제2항에 있어서, 상기 요철층은 절연패턴 또는 금속패턴인 것을 특징으로 하는 박막트랜지스터.

**【청구항 4】**

제2항에 있어서, 상기 요철층은 소스전극 및 드레인전극에 걸쳐 형성되는 것을 특징으로 하는 박막트랜지스터.

**【청구항 5】**

제2항에 있어서, 상기 요철층은 설정 크기로 격자형상으로 배열되는 것을 특징으로 하는 박막트랜지스터.

**【청구항 6】**

제2항에 있어서, 상기 요철층은 게이트전극, 게이트절연층, 소스전극 및 드레인전극중 적어도 하나에 요철을 형성하는 것을 특징으로 하는 박막트랜지스터.

**【청구항 7】**

제1항에 있어서, 상기 기판에 형성되어 반도체층에 요철을 제공하는 적어도 하나의 흄을 추가로 포함하는 것을 특징으로 하는 박막트랜지스터.

**【청구항 8】**

제7항에 있어서, 상기 흄은 소스전극 및 드레인전극에 걸쳐 형성되는 것을 특징으로 하는 박막트랜지스터.

**【청구항 9】**

제7항에 있어서, 상기 흄은 설정 크기로 격자형상으로 배열되는 것을 특징으로 하는 박막트랜지스터.

**【청구항 10】**

제7항에 있어서, 상기 흄은 게이트전극, 게이트절연층, 소스전극 및 드레인전극중 적어도 하나에 요철을 형성하는 것을 특징으로 하는 박막트랜지스터.

**【청구항 11】**

제1기판 위에 배열되어 복수의 화소를 정의하는 복수의 데이터라인 및 게이트라인; 상기 화소에 형성되며, 상기 제1기판위에 형성된 게이트전극 및 게이트절연층, 상기 게이트절연층에 형성되어 채널을 형성하여 요철이 형성된 반도체층과, 상기 반도체층

위에 형성된 소스전극 및 드레인전극과, 상기 제1기판 전체에 걸쳐 적층된 보호층으로 이루어진 박막트랜지스터; 및  
상기 화소에 형성된 화소전극으로 구성된 액정표시소자.

#### 【청구항 12】

제11항에 있어서, 상기 제1기판에 배치되어 반도체층에 요철을 제공하는 적어도 하나의 요철층을 추가로 포함하는 것을 특징으로 하는 박막트랜지스터.

#### 【청구항 13】

제12항에 있어서, 상기 요철층은 절연패턴 또는 금속패턴인 것을 특징으로 하는 박막트랜지스터.

#### 【청구항 14】

제12항에 있어서, 상기 요철층은 소스전극 및 드레인전극에 걸쳐 형성되는 것을 특징으로 하는 박막트랜지스터.

#### 【청구항 15】

제12항에 있어서, 상기 요철층은 설정 크기로 격자형상으로 배열되는 것을 특징으로 하는 박막트랜지스터.

#### 【청구항 16】

제11항에 있어서, 상기 제1기판에 형성되어 반도체층에 요철을 제공하는 적어도 하나의 홈을 추가로 포함하는 것을 특징으로 하는 박막트랜지스터.

**【청구항 17】**

제16항에 있어서, 상기 흄은 소스전극 및 드레인전극에 걸쳐 형성되는 것을 특징으로 하는 박막트랜지스터.

**【청구항 18】**

제16항에 있어서, 상기 흄은 설정 크기로 격자형상으로 배열되는 것을 특징으로 하는 박막트랜지스터.

**【청구항 19】**

제11항에 있어서,

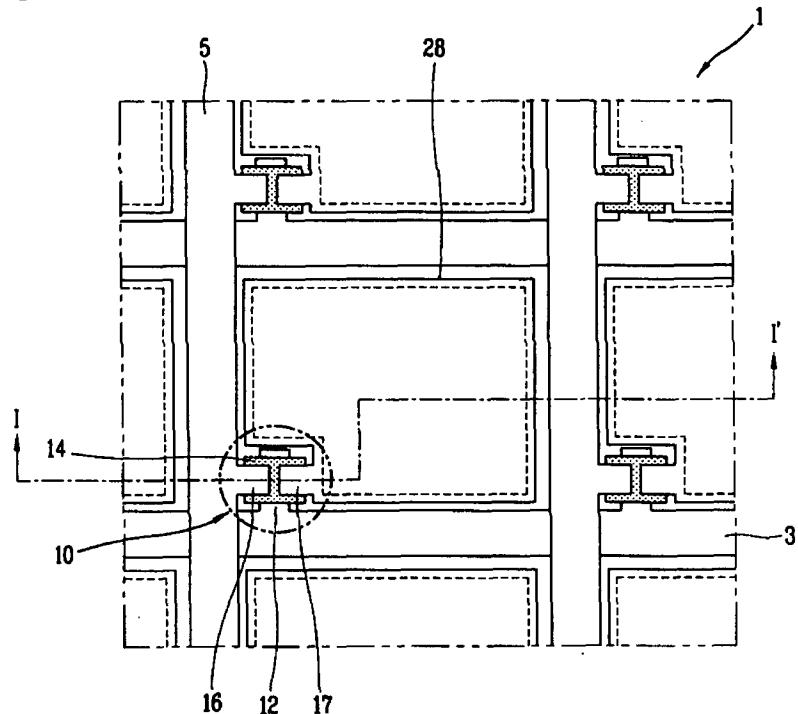
제 2기판에 형성되어 화상 비표시영역으로 투과되는 광을 차단하는 블랙매트릭스;  
상기 제2기판에 형성되어 컬러를 구현하는 컬러필터층; 및  
상기 제1기판 및 제2기판 사이에 형성된 액정층을 추가로 포함하는 것을 특징으로 하는 액정표시소자.

**【청구항 20】**

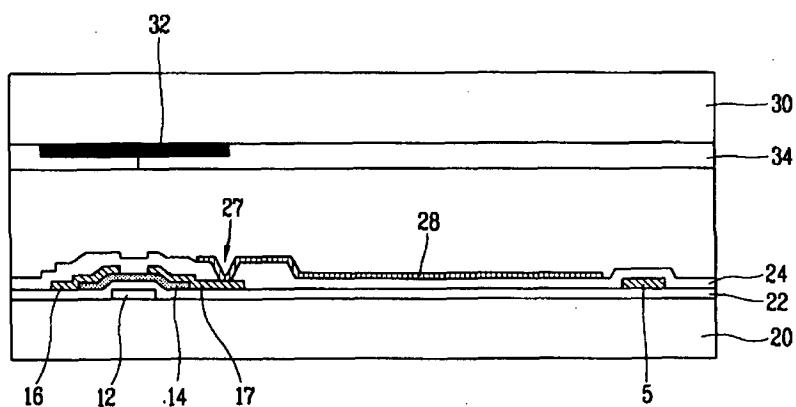
기판 위에 배열되어 복수의 화소를 정의하는 복수의 데이터라인 및 게이트라인;  
상기 화소에 형성되며, 반도체층에 형성된 요철에 의해 채널의 폭이 증가된 박막 트랜지스터; 및  
상기 화소에 형성된 화소전극으로 구성된 액정표시소자.

## 【도면】

【도 1】



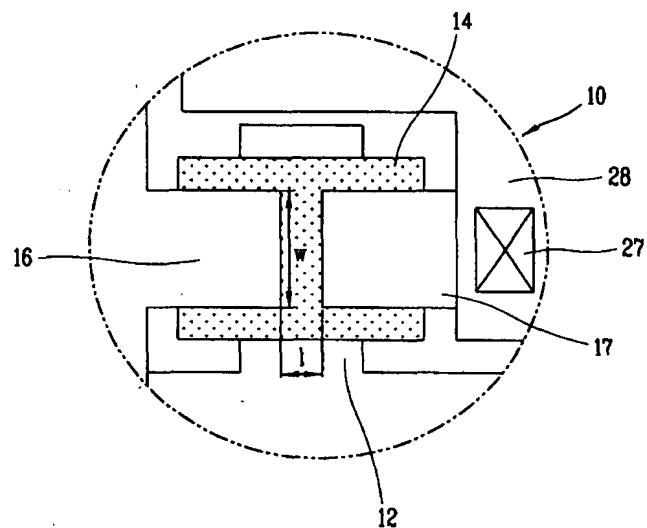
【도 2】



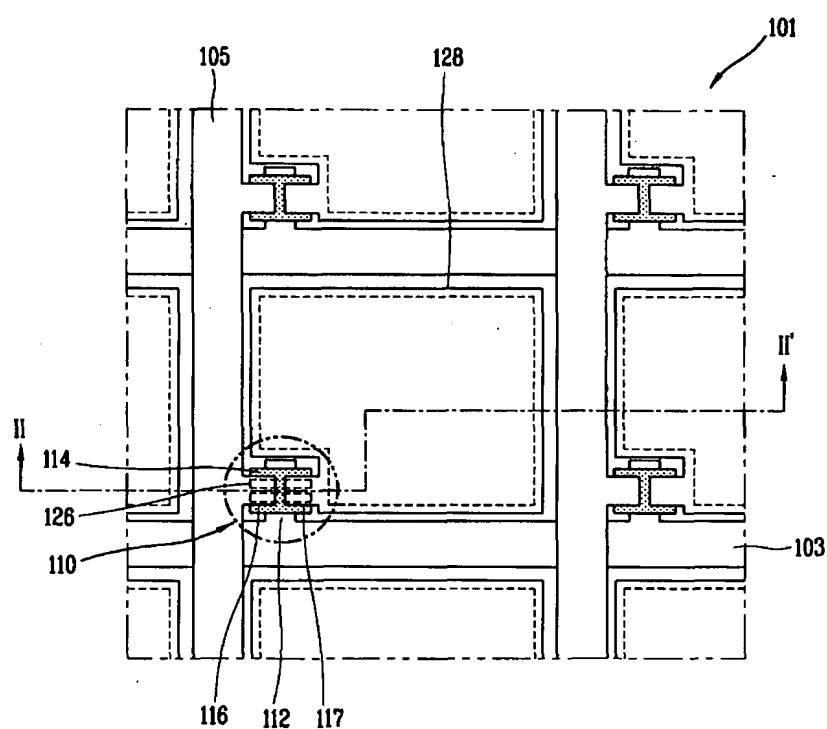
1020020082708

출력 일자: 2003/2/10

【도 3】



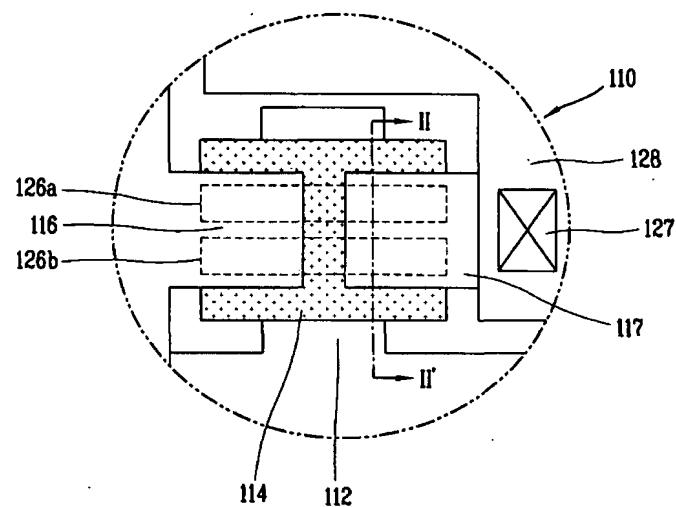
【도 4】



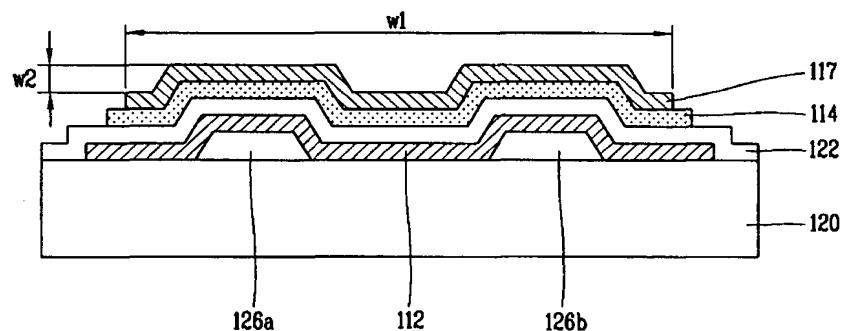
1020020082708

출력 일자: 2003/2/10

【도 5a】



【도 5b】



【도 6】

